

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-321220

(43)Date of publication of application : 08.12.1995

(51)Int.Cl.

H01L 21/8238

H01L 27/092

(21)Application number : 06-136592

(71)Applicant : NIPPONDENSO CO LTD

(22)Date of filing : 25.05.1994

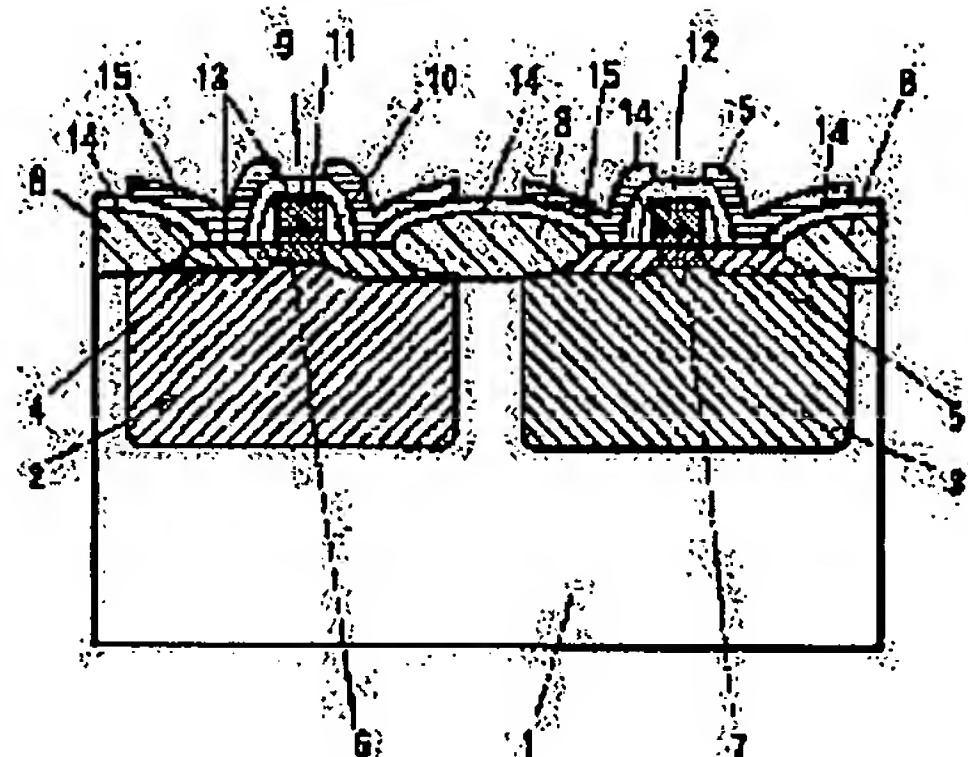
(72)Inventor : ABE RYUICHIRO

## (54) COMPLEMENTARY INSULATED GATE FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To accomplish the reduction of the inner noise of CMOS and the scale-down of gate area at the same time by making an n-channel MOSFET a buried n-channel type, and a p-channel MOSFET a buried p-channel type.

CONSTITUTION: An n-type Si well 2 and a p-type Si well 3 are made on an Si substrate 1, and a p+-type source/drain 4 is made on the n-type Si well 2, and an n+-type Si source/drain 5 is made on the p-type Si well 3. Moreover, a p-type channel region 6 and an n-channel region 7 are provided between several sources and drains. Furthermore, using an n+-type polysilicon gate electrode 11 and a p"-type polysilicon gate electrode 12, buried channel-type MOSFETs for analog circuits are constituted severally. This way, a circuit where the inner noise of CMOS is little and the area of a gate is small is materialized.



## LEGAL STATUS

[Date of request for examination]

05.10.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3282375

[Date of registration]

01.03.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

(51)Int.Cl.<sup>8</sup>  
H 0 1 L 21/8238  
27/092

識別記号  
F I

庁内整理番号  
H 0 1 L 27/ 08

技術表示箇所  
3 2 1 D  
3 2 1 C

審査請求 未請求 請求項の数5 FD (全 8 頁)

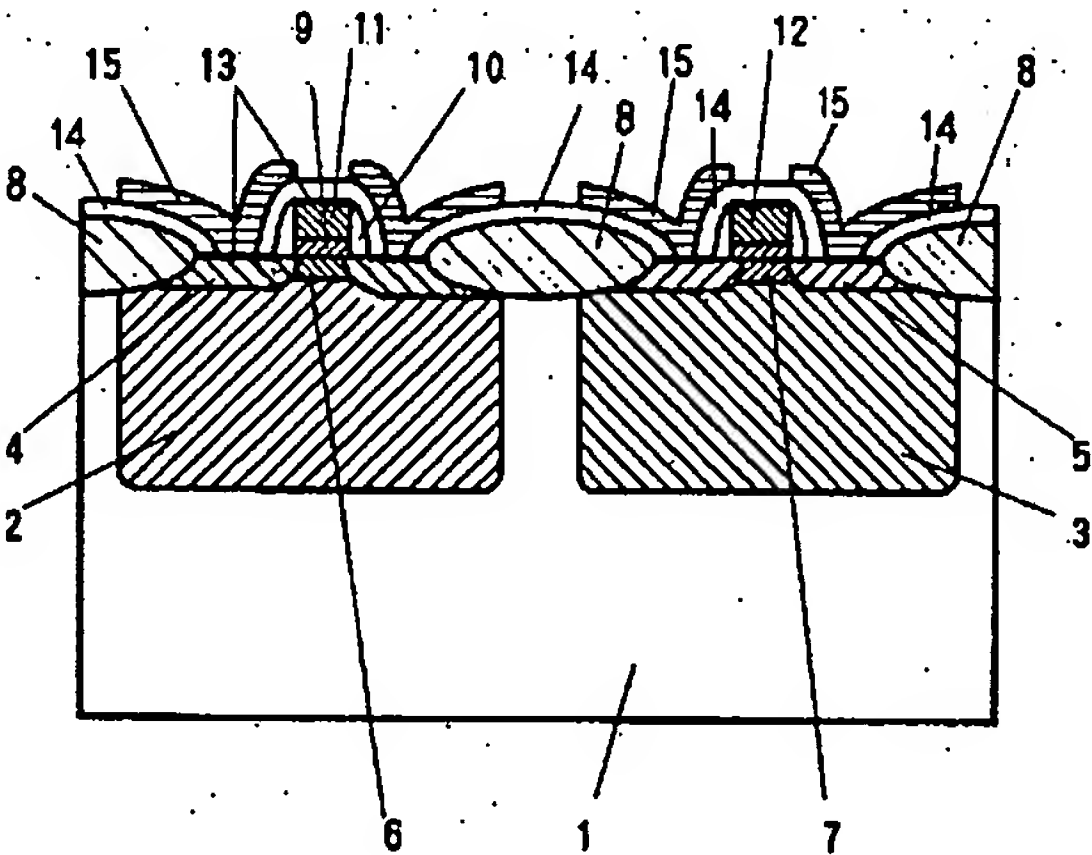
(21)出願番号	特願平6-136592	(71)出願人	000004260 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
(22)出願日	平成6年(1994)5月25日	(72)発明者	阿部 竜一郎 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
		(74)代理人	弁理士 藤谷 修

(54)【発明の名称】 相補型絶縁ゲート電界効果トランジスタ

(57)【要約】

【目的】CMOSの内部ノイズの低減とゲート面積の縮小を同時に達成できる、特にアナログ回路用のCMOSを提供すること。

【構成】埋め込みチャネル型MOSFETはSiO<sub>2</sub>/Si界面近傍から広がって電流が流れているので、表面チャネル型に比べてSiO<sub>2</sub>/Si界面近傍の影響を受けにくい。そこでnチャネルMOSFET、pチャネルMOSFET共に埋め込みチャネル型にすることにより、とりわけアナログ回路及びアナログ/デジタル混載回路のアナログ回路部において、従来のMOSFETが表面チャネル型であった場合に比べ、MOSFETの内部ノイズを大幅に低減する。また同時にゲート面積を小さくできる。またデジタル回路は表面チャネル型、アナログ回路を埋め込みチャネル型とすると、それぞれの回路の必要とする性能を満たすCMOSが実現する。



【特許請求の範囲】

【請求項1】 nチャネル絶縁ゲート電界効果トランジスタとpチャネル絶縁ゲート電界効果型トランジスタとが同一基板上に形成された相補型絶縁ゲート電界効果トランジスタであって、

n型主表面とp型主表面を有する半導体基板と、  
p型のゲート電極と、n型の1対のソース/ドレイン領域と、n型のチャネル領域とを含んで前記p型主表面上に形成された埋め込みチャネル型nチャネル絶縁ゲート電界効果トランジスタと、  
n型のゲート電極と、p型の1対のソース/ドレイン領域と、p型のチャネル領域とを含んで前記n型主表面上に形成された埋め込みチャネル型pチャネル絶縁ゲート電界効果トランジスタとを有することを特徴とする相補型絶縁ゲート電界効果トランジスタ。

【請求項2】 同一基板上に形成された前記相補型絶縁ゲート電界効果トランジスタがアナログ回路素子であることを特徴とする請求項1記載の相補型絶縁ゲート電界効果トランジスタ。

【請求項3】 同一基板上に形成された前記相補型絶縁ゲート電界効果トランジスタがアナログ回路とデジタル回路とを同一基板上に形成した回路のアナログ回路素子であることを特徴とする請求項1記載の相補型絶縁ゲート電界効果トランジスタ。

【請求項4】 nチャネル絶縁ゲート電界効果トランジスタとpチャネル絶縁ゲート電界効果型トランジスタとが同一基板上に形成された相補型絶縁ゲート電界効果トランジスタであって、  
n型主表面とp型主表面を有する半導体基板と、  
p型のゲート電極と、n型の1対のソース/ドレイン領域と、n型のチャネル領域とを含んで前記p型主表面上に形成された埋め込みチャネル型nチャネル絶縁ゲート電界効果トランジスタと、  
n型のゲート電極と、p型の1対のソース/ドレイン領域と、p型のチャネル領域とを含んで前記n型主表面上に形成された埋め込みチャネル型pチャネル絶縁ゲート電界効果トランジスタと、  
前記p型主表面上に形成され、n型のゲート電極と、n型の1対のソース/ドレイン領域と、p型のチャネル領域とを含む表面チャネル型nチャネル絶縁ゲート電界効果トランジスタと、  
前記n型主表面上に形成され、p型のゲート電極と、p型の1対のソース/ドレイン領域と、n型のチャネル領域とを含む表面チャネル型pチャネル絶縁ゲート電界効果トランジスタとを有することを特徴とする相補型絶縁ゲート電界効果トランジスタ。

【請求項5】 同一基板上に形成された前記相補型絶縁ゲート電界効果トランジスタが、アナログ回路とデジタル回路を同一基板上に形成した回路に使用される場合において、

前記埋め込みチャネル型nチャネル絶縁ゲート電界効果トランジスタと、前記埋め込みチャネル型pチャネル絶縁ゲート電界効果トランジスタとが、共にアナログ回路部で使用される素子であり、

前記表面チャネル型nチャネル絶縁ゲート電界効果トランジスタと、前記表面チャネル型pチャネル絶縁ゲート電界効果トランジスタとが、共にデジタル回路部で使用される素子であることを特徴とする請求項4記載の相補型絶縁ゲート電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アナログ回路部、またはアナログ回路とデジタル回路とを同時に混載した回路部に用いるMOS型電界効果トランジスタ（MOSFET）に関するものである。

【0002】

【従来の技術】 集積回路装置に使われる相補型MOSFET（以下CMOSと略す）はpチャネルMOSFETとnチャネルMOSFETとにより構成されるものである。従来、ゲート電極に使用する材料をn<sup>+</sup>ポリシリコンとするか、p<sup>+</sup>ポリシリコンとするかでCMOSには次の2種類の構成だけが考えられていた。すなわち、

(1) ゲート電極にn<sup>+</sup>ポリシリコンを使用すると、nチャネルMOSFETは表面チャネル型となり、pチャネルMOSFETは埋め込みチャネル型となる。

(2) ゲート電極にn<sup>+</sup>ポリシリコンとp<sup>+</sup>ポリシリコンとをそれぞれ使用すると、nチャネルMOSFETはn<sup>+</sup>ポリシリコンゲートで表面チャネル型になり、pチャネルMOSFETはp<sup>+</sup>ポリシリコンゲートで表面チャネル型となる。

【0003】 ここで(2)のようにn<sup>+</sup>ポリシリコンとp<sup>+</sup>ポリシリコンとを使用すると、CMOS製造工程は複雑になり、製造コストを上昇させる。しかし、このCMOSはpチャネルMOSFETを表面チャネル型にすることができ、短チャネル効果に対して有利である。一般に、MOSFETをサブミクロン域以下に微細化するとしきい値電圧（スレッショルド電圧、以下V<sub>th</sub>と記す）の低下、V<sub>th</sub>のドレイン電圧依存性の増大、及びサブスレッショルド域のリーク電流の増大という現象等が現れ、これらの微細化に対する悪影響を短チャネル効果と呼んでいる。微細化することにより現れるこの短チャネル効果に対しては、埋め込みチャネル型より表面チャネル型の方が強い。それは表面チャネル型の方が、ドレイン電流がSiO<sub>2</sub>/Si界面近傍を流れ、ドレイン電圧の影響を受けにくいからである。

【0004】 実際には、埋め込みチャネル型のpチャネルMOSFETでも、例えば特公平4-82064号公報で提案されている第7図（本説明における図9）のように工夫することにより、サブミクロン域までの微細化にも対応できる。なお、図9において、16はp型ソース/ドレイン



領域、17はゲート電極、18はゲート酸化膜、19は側壁酸化膜、20はソース／ドレイン領域と同導電型のp型チャネル領域、21はチャネル領域と反対導電型のn型高濃度不純物層、22はn型ウェルである。この図9の埋め込みpチャネル型MOSFETは高濃度不純物層21を形成することにより、ドレイン電圧によるポテンシャルの伸びを抑制し、短チャネル効果のある程度は抑制できる。しかし、本質的に埋め込みチャネルタイプは短チャネル効果に弱い。それでデジタル回路のような高速、高集積、低消費電力化を求められる回路において、pチャネルMOSFETも微細化に対して有利な表面チャネル型にしようという傾向にある。

【0005】ところで、アナログ回路に使用されるMOSFETについては、微細化よりもプロセスの安定化、高精度化が重要である。それはアナログ回路においてはMOSFETの製造工程によるばらつき（MOSFETのペア性など）が、即、回路性能の低下に直結するからである。このためアナログ回路に使用されるMOSFETのゲート長は一般に数 $\mu$ m以上として性能を維持している。これはデジタル回路に用いられるMOSFETのゲート長（1 $\mu$ m以下）に比べて十分に大きい値となっており改善が望まれる点である。

【0006】また、アナログ回路用のCMOSに要求される性能としては、MOSFETのペア性の他に、MOSFETの内部ノイズがある。特にMOSFETはバイポーラトランジスタに比べて内部ノイズが大きく、実用上問題がある。先に述べた(1)のようなnチャネルMOSFETが表面チャネル型、pチャネルMOSFETが埋め込みチャネル型の場合や、(2)のようなnチャネルMOSFETとpチャネルMOSFETが共に表面チャネル型の場合において、これらは微細化に注目した改良がされてきてはいるが、内部ノイズの低減という観点での改良はなされてこなかった。前記の特公平4-82064号公報についても、短チャネル効果を抑制する（微細化を達成する）目的のためのものであって、内部ノイズの低減については考えられていない。このため従来はMOSFETで内部ノイズを低減する方法としてゲート面積を大きくする方法が取られていた。一般に、MOSFETの内部雑音はゲート面積に反比例すると報告されていて（例えばIEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-29, NO. 6, JUNE 1982）、その他には内部ノイズを低減する有効な方法がなかったので、内部ノイズを低減するため、およびMOSFETのペア性を向上させるためにゲート面積を大きくしていた。従って特にアナログ回路において集積度を上げることがノイズ問題で阻害されているという問題があった。また、内部ノイズが問題となるアナログ回路においてはノイズの少ないことが判っている結晶性の良い領域を利用するバイポーラトランジスタが使用されてきた。

【0007】ところで、アナログ回路とデジタル回路を混載した回路（アナログ／デジタル混載回路）でアナログ回路部、デジタル回路部が共にCMOSで構成されている

場合は、従来デジタル回路部のCMOSの構成がそのままアナログ回路部まで使用されていた。即ち、先に述べた(1)のようなnチャネルMOSFETが表面チャネル型、pチャネルMOSFETが埋め込みチャネル型の場合はデジタル回路部とアナログ回路部共に(1)のCMOSの構成が使用されていた。また、先に述べた(2)のようなnチャネルMOSFETとpチャネルMOSFETが共に表面チャネル型の場合においては、そもそもデジタル回路部に要求される性能（素子の微細化による高速、高集積、低消費電力化）のためにpチャネルMOSFETを表面チャネル型にしたのであるが、(2)のCMOSの構成がデジタル回路部のみならず、アナログ回路部にも使用されてきた。このためにアナログ回路部の内部ノイズを低減する特別な手段は取られておらず、内部ノイズを低減するためにはアナログ回路部のゲート面積を大きくしていた。それでも内部ノイズが問題となる場合では、アナログ回路部はバイポーラトランジスタ、デジタル回路部はCMOSが使われる回路が取られている。

【0008】

【発明が解決しようとする課題】しかしながら、アナログ回路においてCMOSを使用する場合、内部ノイズを低減するためにゲート面積を大きくすることを述べたが、これはアナログ回路のチップ面積を増大させ、製品コストを上昇させるという問題点があった。さらに、ゲート面積を大きくすると、ゲート酸化膜容量とソース、ドレインの接合容量等が増え、動作速度を低下させる現象が生じると共に、消費電力を増大させるという問題点もあった。また、アナログ回路においてバイポーラトランジスタを使用する場合、バイポーラトランジスタはベース電流を流して素子を動作させるために、CMOSに比べて本質的に消費電力が大きく、さらに入力インピーダンスを大きくできないという問題点があった。そして、一般にバイポーラトランジスタの製造工程にはシリコン基板上にシリコンをエピタキシャル成長させる工程があり、この工程のためにCMOS製造工程よりも製造コストが高いという問題点もあった。

【0009】また、アナログ／デジタル混載回路において、アナログ回路部、デジタル回路部を共にCMOSで製造した場合、アナログ回路部のノイズを低減するために、アナログ回路部のMOSFETのゲート面積を大きくする必要があり、結局、チップ面積を増大させ、製造コストを上昇させるという問題点があった。さらに、ゲート面積を大きくすると、ゲート酸化膜容量とソース、ドレインの接合容量等が増え、動作速度の低下及び消費電力の増大という問題点もあった。また、アナログ／デジタル混載回路において、アナログ回路部をバイポーラトランジスタで、そしてデジタル回路部をCMOSで製造した場合、バイポーラトランジスタの製造工程とCMOSの製造工程の2種類の製造工程が同一チップに対して必要になり、このために製造工程が非常に複雑になり、製造コストを大幅

に上昇させるという問題があった。さらに、消費電力や入力インピーダンスの問題も存在している。また、アナログ／デジタル混載回路において先に述べた(2)のようにnチャネルMOSFETとpチャネルMOSFETを共に表面チャネル型にした場合、デジタル回路部に要求される性能(素子の微細化による高速、高集積、低消費電力化)を満足することはできるが、アナログ回路部に要求される性能(内部ノイズの低減およびゲート面積の縮小)に関しては満足できず、つまりアナログ回路部とデジタル回路部に要求される異なる性能を同時に満足できないという問題点があった。

【0010】従って本発明の目的は、アナログ回路及びアナログ／デジタル混載回路においてアナログ回路部に使用されるCMOSの内部ノイズを低減する構成を提供し、CMOSの内部ノイズの低減とゲート面積の縮小を同時に達成できるアナログ回路用のCMOSを提供することである。また本発明の目的は、アナログ回路及びアナログ／デジタル混載回路において内部ノイズの問題でアナログ回路部にバイポーラトランジスタを使用しなくても済むようにするアナログ回路用のCMOSを提供することである。さらに本発明の目的は、アナログ／デジタル混載回路においてはアナログ回路部に要求される性能(内部ノイズの低減及びゲート面積の縮小)とデジタル回路部に要求される性能(素子の微細化による高速、高集積、低消費電力化)を同時に満足するアナログ／デジタル混載回路用のCMOSを提供することである。

#### 【0011】

【課題を解決するための手段】上記の課題を解決するため本発明の構成は、本発明のアナログ回路部のトランジスタがCMOSで構成されていて、ゲート電極には $n^+$ ポリシリコンと $p^+$ ポリシリコンがそれぞれ使用されており、nチャネルMOSFETは $p^+$ ポリシリコンゲートを用いることにより埋め込みnチャネル型にしてあり、pチャネルMOSFETは $n^+$ ポリシリコンゲートを用いることにより埋め込みpチャネル型にしてある。また別の構成は、アナログ／デジタル混載回路のトランジスタがCMOSで構成されていて、ゲート電極には $n^+$ ポリシリコンまたは $p^+$ ポリシリコンが使用されており、アナログ回路部のnチャネルMOSFETは $p^+$ ポリシリコンゲートを用いることにより埋め込みnチャネル型にしてあり、pチャネルMOSFETは $n^+$ ポリシリコンゲートを用いることにより埋め込みチャネル型にしてある。そして、デジタル回路部のnチャネルMOSFETは $n^+$ ポリシリコンゲートを用いることにより表面チャネル型にしてあり、pチャネルMOSFETは $p^+$ ポリシリコンゲートを用いることにより表面チャネル型にしてあることが特徴である。

#### 【0012】

【作用】本発明の作用は次に示す実験事実に基づいてなされていることを説明する。図8は、表面チャネル型、埋め込みチャネル型それぞれのMOSFETの内部ノイズの測

定結果である。内部ノイズは10Hzでの入力換算雑音電圧密度として縦軸に示している。また、横軸はゲート電圧 $V_g$ を示しており、しきい値電圧 $V_{th}$ を差し引く( $V_g - V_{th}$ の絶対値)ことにより、素子の $V_{th}$ のズレを補正してある。測定条件としては、アナログ回路における素子が飽和領域で使われるので、各ゲート電圧に対して飽和領域で内部ノイズを測定している。実線は表面チャネル型MOSFETの測定結果であり、破線は埋め込みチャネル型MOSFETの測定結果である。どちらもゲート長、ゲート幅、ゲート酸化膜厚は同じ設定である。結果は、どのゲート電圧に対しても埋め込みチャネル型の方が内部ノイズが小さく、また、最大で70%程度埋め込みチャネル型の方が内部ノイズが小さいことが明らかとなっている。

【0013】これは定性的には次のように説明される。表面チャネル型MOSFETにおいてドレイン電流は $SiO_2/Si$ 界面近傍を流れる。それに対して埋め込みチャネル型MOSFETではドレイン電流は $SiO_2/Si$ 界面近傍から広がって流れる。また、 $SiO_2/Si$ 界面近傍は格子欠陥が多く、格子欠陥はチャネル領域を流れている電流のキャリアをランダムに捕獲、放出し、これにより電流の密度揺らぎが起き、内部ノイズが発生していると考えられている。これらのことより、埋め込みチャネル型MOSFETは $SiO_2/Si$ 界面近傍から広がって電流が流れているので、表面チャネル型に比べて $SiO_2/Si$ 界面近傍の影響を受けにくいと考えられ、内部ノイズが小さいと予測される。この予測がほぼ正しいことが図8の実測データで示された訳である。

#### 【0014】

【発明の効果】この実験事実に基づいて本発明の効果について説明する。本発明の請求項1によれば、p型、n型共に埋め込みチャネル型の構成としたので、各チャネルの深い領域を電流が流れ、内部ノイズが発生しにくい相補型絶縁ゲート電界効果トランジスタとなる。また請求項2によれば、従来のCMOS構成のアナログ回路に比べて内部ノイズが少なく、かつゲート面積の小さい集積度をあげた回路が実現する。また請求項3によれば、アナログ／デジタル混載回路でアナログ回路に埋め込みチャネル型が用いられるので、アナログ回路における内部ノイズが低減される。さらに請求項4によれば、埋め込みチャネル型と表面チャネル型とを同時に形成するものでも、埋め込みチャネル型による内部ノイズの低減効果があり、請求項5に示すようにアナログ／デジタル混載回路においてアナログ回路部に埋め込みチャネル型、デジタル回路部に表面チャネル型を用いることで、デジタル回路部に要求される高速性等の性能とアナログ回路部に要求される性能とを同時に満足させることができる。

【0015】つまり、アナログ回路及びアナログ／デジタル混載回路のアナログ回路部において、nチャネルMOSFET、pチャネルMOSFET共に埋め込みチャネル型にする



ことにより、従来技術で述べた(1)のような場合においてnチャネルMOSFETが埋め込みチャネル型にされることによりnチャネルMOSFETの内部ノイズを大幅に低減する。また、従来技術で述べた(2)のような場合においてnチャネルMOSFETとpチャネルMOSFETとが共に埋め込みチャネル型にされることによりnチャネルMOSFETとpチャネルMOSFET共に内部ノイズを大幅に低減する。

【0016】そしてアナログ／デジタル混載回路においてアナログ回路部のnチャネルMOSFET、pチャネルMOSFET共に埋め込みチャネル型にし、デジタル回路部のnチャネルMOSFET、pチャネルMOSFET共に表面チャネル型にすると、アナログ回路部に要求される性能(内部ノイズの低減及びゲート面積の縮小)を埋め込みチャネル型で満足でき、デジタル回路部に要求される性能(素子の微細化による高速、高集積、低消費電力化)を表面チャネル型で満足できる。に比べて内部ノイズを低減でき、同時にゲート面積を小さくできる。これによりチップ面積の増大によるコスト上昇を避けると共に、動作速度の向上、低消費電力化を達成することができる。

【0017】また従来、アナログ回路部にバイポーラトランジスタを使用している場合、本発明を適用することでCMOSで製造できる場合もあり、この場合はバイポーラトランジスタを使用する従来構成に対して、低消費電力、高入力インピーダンス及び製造コストの低減を実現できる。特に、アナログ／デジタル混載回路においてアナログ回路部をバイポーラトランジスタで、デジタル回路部をCMOSで製造した場合に比べ、本発明を使用することによりCMOSで製造できる場合は大幅に製造コストを低減できる。故に本発明の構成により、アナログ回路部とデジタル回路部に要求される異なる性能を同時に満足するCMOS構成のアナログ／デジタル混載回路を実現できる。

【0018】

【実施例】以下、本発明を具体的な実施例に基づいて説明する。図1は、本発明のアナログ回路に使用されるCMOSの模式的構成断面図である。図1において、Si基板1に、n型Siウェル2、p型Siウェル3が形成され、p<sup>+</sup>型Siソース／ドレイン4がn型Siウェル2上に形成され、n<sup>+</sup>型Siソース／ドレイン5がp型Siウェル3上に形成されている。また、p<sup>-</sup>型チャネル領域6、n<sup>-</sup>型チャネル領域7がそれぞれのソース／ドレイン部の間に設けられ、素子間分離用のSi酸化膜(LOCOS酸化膜)8によって分離されている。その他通常のCMOSに見られる構造の如く、ゲートSi酸化膜9、側壁酸化膜10、n<sup>+</sup>型ポリシリコンゲート電極11、p<sup>+</sup>型ポリシリコンゲート電極12、金属ケイ化物(シリサイド)13、層間絶縁膜14、Al配線15がMOSFETを構成している。

【0019】図2～図4は、図1に示したアナログ回路用のCMOSの製造工程を説明するものである。まず図2に示すように、Si基板1上に通常工程に従って表面濃度

$0 \times 10^{16} \text{ (cm}^{-3}\text{)}$ のn型Siウェル2、表面濃度 $2.0 \times 10^{17} \text{ (cm}^{-3}\text{)}$ のp型Siウェル3を形成し、素子分離用にSi酸化膜(LOCOS酸化膜)8を形成し、160 Åのゲート酸化膜9を形成した後、しきい値電圧 $V_{th}$ 制御用のイオン注入をn型Siウェル2上にはホウ素(B)を30KeV、 $1.0 \times 10^{12} \text{ (cm}^{-2}\text{)}$ の条件で、p型Siウェル3にはリン(P)を80KeV、 $3.5 \times 10^{12} \text{ (cm}^{-2}\text{)}$ の条件で行い、p<sup>-</sup>型Siチャネル領域6とn<sup>-</sup>型Siチャネル領域7をそれぞれ形成する。

【0020】次に、図3のように公知の技術により中性(ノンドーブ、高抵抗)のポリシリコンを化学蒸着法で体積させ、そしてn型Siウェル2上のポリシリコンにはリン(P)を、p型Siウェル3上のポリシリコンにはホウ素(B)をイオン注入し、選択的にn<sup>+</sup>型ポリシリコンゲート電極11とp<sup>+</sup>型ポリシリコンゲート電極12を形成する。

【0021】次に、図4のように通常工程に従って電界緩和層(図示しない)を形成後、化学蒸着法でSiO<sub>2</sub>を堆積し、エッチング除去を行って側壁酸化膜10を形成し、自己整合的にn型Siウェル2上にはp<sup>+</sup>型Siソース／ドレイン4を、p型Siウェル3上にはn<sup>+</sup>型Siソース／ドレイン5を形成する。

【0022】次に、公知の技術により自己整合的にシリサイド13をポリシリコンゲート11、12上とソース／ドレイン4、5上に形成し、化学蒸着法で層間絶縁膜14を堆積させ、ソース／ドレインとAl配線とをつなげるコンタクト用の穴をあけた後、Al(アルミ)をパターン蒸着させてAl配線15(図1)を形成し、図1のようになる。この後、図示しないが通常工程に従ってMOSFETを完成させる。

【0023】このように製造したアナログ回路は、nチャネルMOSFETもpチャネルMOSFETも共に埋め込みチャネル型になっており、通常工程で製造されるCMOSに比べて、内部ノイズが小さい。

【0024】(第二実施例)本発明のアナログ／デジタル混載回路に使用されるCMOSについての一実施例を図5～図7を用いて説明する。図5は同じSi基板1にアナログ回路部とデジタル回路部とが二つ並べて形成してある模式的なCMOSの構成断面図である。Si基板1には、n型Siウェル2、p型Siウェル3がそれぞれアナログ回路部とデジタル回路部に分離されて設けられている。そして、p<sup>+</sup>型Siソース／ドレイン4がn型Siウェル2に、またn<sup>+</sup>型Siソース／ドレイン5がp型Siウェル3に形成され、それぞれのソース／ドレイン間にp<sup>-</sup>型チャネル領域6、n<sup>-</sup>型チャネル領域7の層が形成されている。なおアナログ回路部のチャネル領域6、7は、ウェルと伝導タイプが異なるのでそれぞれ埋め込み層となり、デジタル回路部のチャネル領域6、7は同じ伝導タイプのウェルに形成するので、埋め込みチャネルとはならず、ただキャリア濃度調節としての層となり、表面チ

ャネルとして働く。

【0025】そして素子間分離用のSi酸化膜（LOCOS 酸化膜）8が各ウェル2、3を分離するように形成され、各チャネル領域上にそれぞれゲートSi酸化膜9を設け、 $n^+$ 型ポリシリコンゲート電極11が $p^-$ 型チャネル領域6上に、また $p^+$ 型ポリシリコンゲート電極12が $n^-$ 型チャネル領域7上にパターン形成され、側壁酸化膜10が各ゲートの両サイドに形成されている。そしてソース／ドレイン領域上を金属ケイ化物（シリサイド）13の薄膜で覆った後、層間絶縁膜14でSi基板1上面全部を保護し、ソース／ドレイン部のコンタクトとなる開口部を設けて、そこにAl配線15を形成して、アナログ／デジタル混載回路CMOSが形成されている。

【0026】図6、図7は、図5に示したアナログ／デジタル混載回路用CMOSの製造工程を説明するものである。図6に示すように、Si基板1上に通常工程に従って表面濃度 $2.0 \times 10^{16} \text{ (cm}^{-3}\text{)}$ の $n$ 型Siウェル2、表面濃度 $2.0 \times 10^{17} \text{ (cm}^{-3}\text{)}$ の $p$ 型Siウェル3をそれぞれ形成し、素子分離用のSi酸化膜（LOCOS 酸化膜）8を形成し、160 Åのゲート酸化膜9を形成した後、しきい値電圧 $V_{th}$ 制御用のイオン注入を、アナログ回路部の $n$ 型Siウェル2上にはホウ素(B)を30KeV、 $1.0 \times 10^{12} \text{ (cm}^{-2}\text{)}$ の条件で、またアナログ回路部の $p$ 型ウェル3上にはリン(P)を80KeV、 $3.5 \times 10^{12} \text{ (cm}^{-2}\text{)}$ の条件で、さらにデジタル回路部の $n$ 型Siウェル2上にはリン(P)を80KeV、 $2.0 \times 10^{12} \text{ (cm}^{-2}\text{)}$ の条件で、そしてデジタル回路部の $p$ 型ウェル3上にはホウ素(B)を30KeV、 $2.0 \times 10^{11} \text{ (cm}^{-2}\text{)}$ の条件で行い、 $p^-$ 型Siチャネル領域6と $n^-$ 型Siチャネル領域7をそれぞれ形成する。

【0027】次に、図7のように公知の技術により中性（ノンドープ、高抵抗）のポリシリコンを化学蒸着法で堆積させ、アナログ回路部の $n$ 型Siウェル2上のポリシリコン11aにはリン(P)をイオン注入し、アナログ回路部の $p$ 型Siウェル3上のポリシリコン12aにはホウ素(B)を、デジタル回路部の $n$ 型Siウェル2上のポリシリコン12dにはホウ素(B)を、そしてデジタル回路部の $p$ 型Siウェル3上のポリシリコン11dにはリン(P)をイオン注入して、選択的に $n^+$ 型ポリシリコンゲート電極11と $p^+$ 型ポリシリコンゲート電極12をパターン形成する。これ以後は第1実施例と同様な製造方法により製造することにより、図5に示すようなアナログ／デジタル混載回路用CMOSを得ることができる。

【0028】このように製造したアナログ／デジタル混載回路はアナログ回路部が埋め込みチャネル型で内部ノイズが小さく、デジタル回路部は表面チャネル型で微細化に適した構造になっていて、かつ製造工程をほとんど複雑にしない。

【0029】以上説明したように、本発明によるアナログ回路用のCMOSは $n$ チャネルMOSFETと $p$ チャネルMOSFET共に埋め込みチャネル型であり、内部ノイズの低減とゲ

ート面積の縮小を同時に達成するCMOSを実現することが可能である。また、本発明によるアナログ／デジタル混載回路はアナログ回路部が埋め込みチャネル型になっていて、アナログ回路部とデジタル回路部に要求される異なる性能を同時に満足するCMOSのアナログ／デジタル混載回路を実現することも可能である。

【図面の簡単な説明】

【図1】本発明の第1実施例を示すCMOSFETの模式的断面図。

【図2】本発明の第1実施例の製造工程の模式的断面図（その1）。

【図3】本発明の第1実施例の製造工程の模式的断面図（その2）。

【図4】本発明の第1実施例の製造工程の模式的断面図（その3）。

【図5】本発明の第2実施例を示すCMOSFETの模式的断面図。

【図6】本発明の第2実施例の製造工程の模式的断面図（その1）。

【図7】本発明の第2実施例の製造工程の模式的断面図（その2）。

【図8】本発明の原理を説明するもので、埋め込みチャネル型と表面チャネル型との内部ノイズの測定結果を示す図。

【図9】微細化に対して改良された従来の埋め込みチャネル型MOSFETの断面図。

【符号の説明】

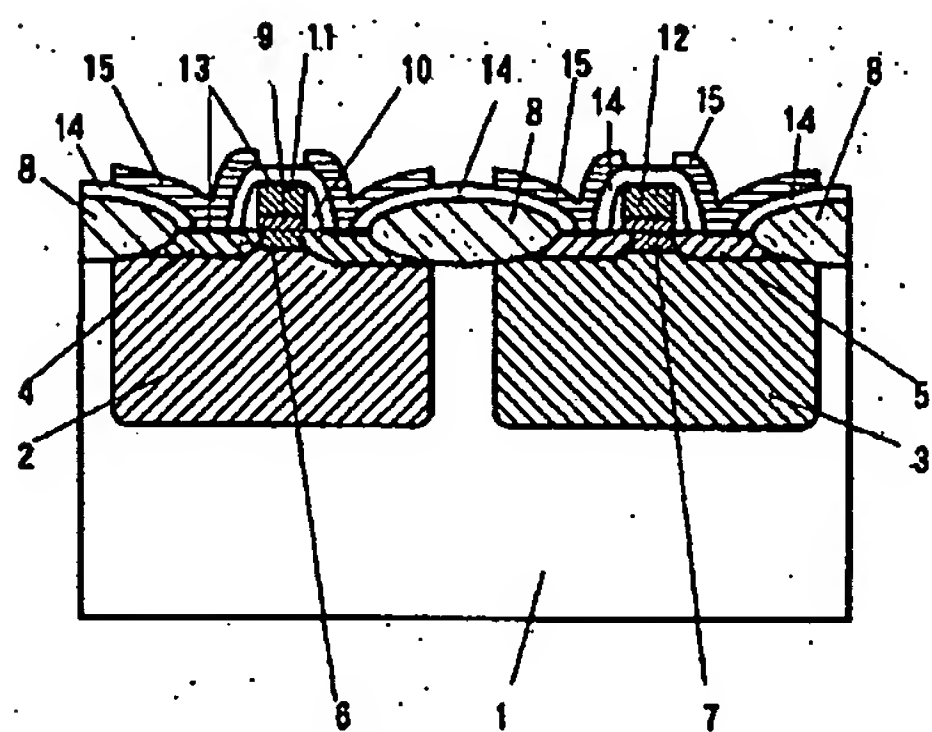
- 1．． Si基板
- 2．．  $n$ 型Siウェル
- 3．．  $p$ 型Siウェル
- 4．．  $p^+$  Siソース／ドレイン
- 5．．  $n^+$  Siソース／ドレイン
- 6．．  $p^-$  Siチャネル領域（アナログ部は埋め込み型、デジタル部は表面型）
- 7．．  $n^-$  Siチャネル領域（アナログ部は埋め込み型、デジタル部は表面型）
- 8．． 素子間分離用のSi酸化膜（LOCOS酸化膜）
- 9．． ゲートSi酸化膜
- 10．． 側壁酸化膜
- 11．．  $n^+$  型ポリシリコンゲート電極
- 12．．  $p^+$  型ポリシリコンゲート電極
- 13．． 金属ケイ化物（シリサイド）
- 14．． 層間絶縁膜
- 15．． Al配線
- 16．．  $p$ 型ソース／ドレイン
- 17．． ゲート電極
- 18．． ゲート酸化膜
- 19．． 側壁酸化膜
- 20．． ソース／ドレイン領域と同導電型の $p$ 型チャネル領域



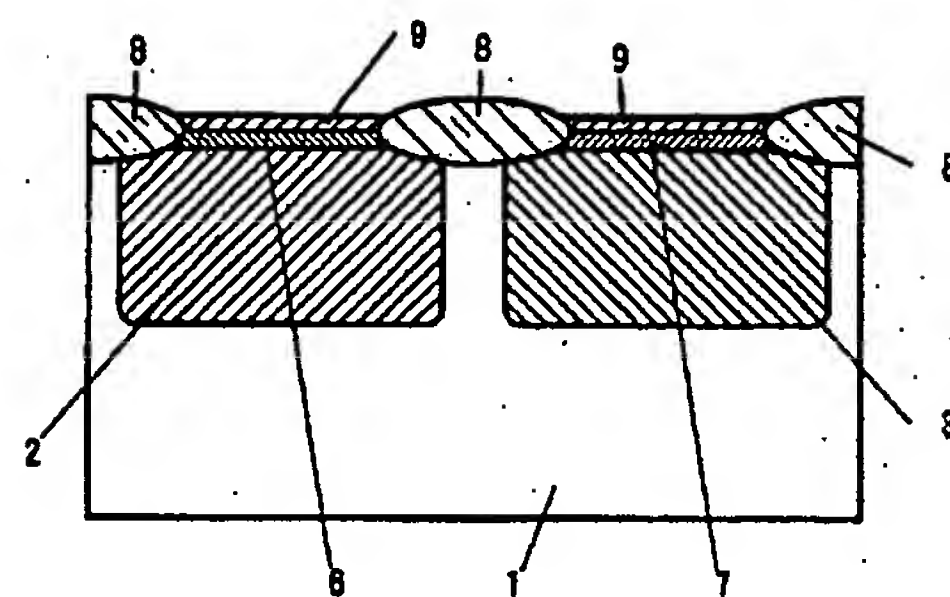
21. . チャンネル領域と反対導電型のn型高濃度不純物

22. . n型ウェル

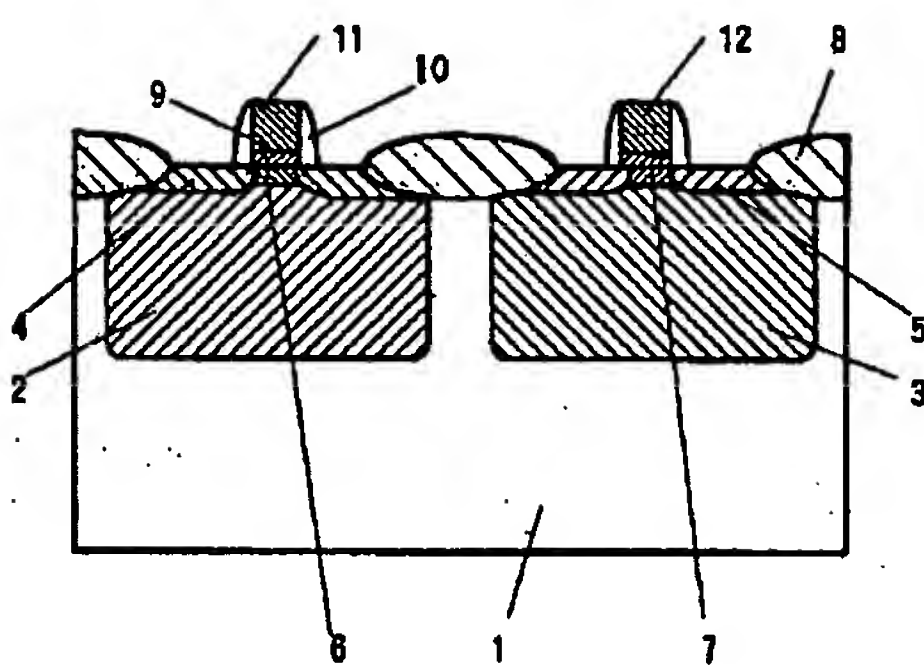
【図1】



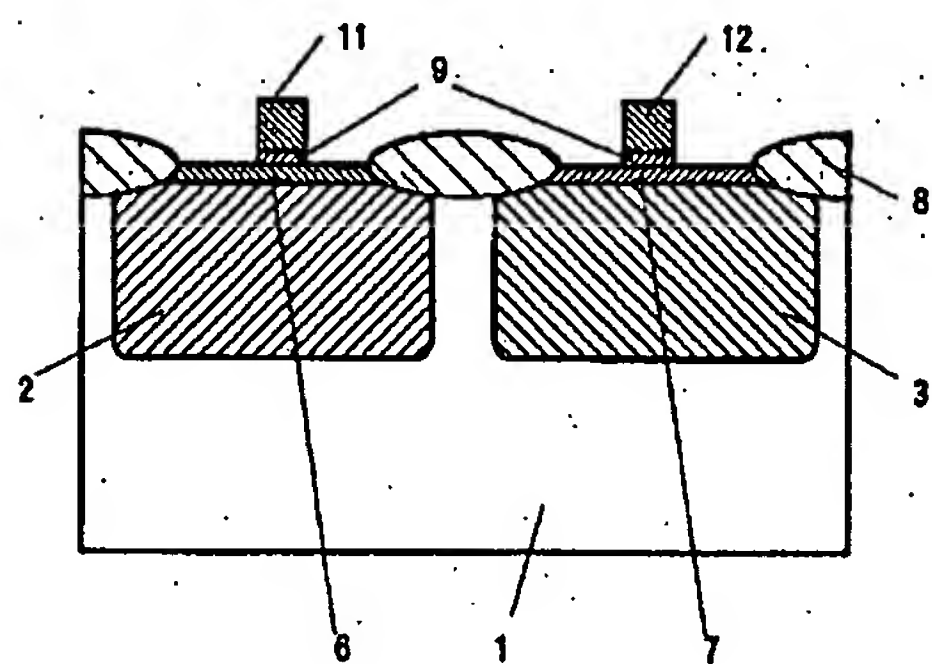
【図2】



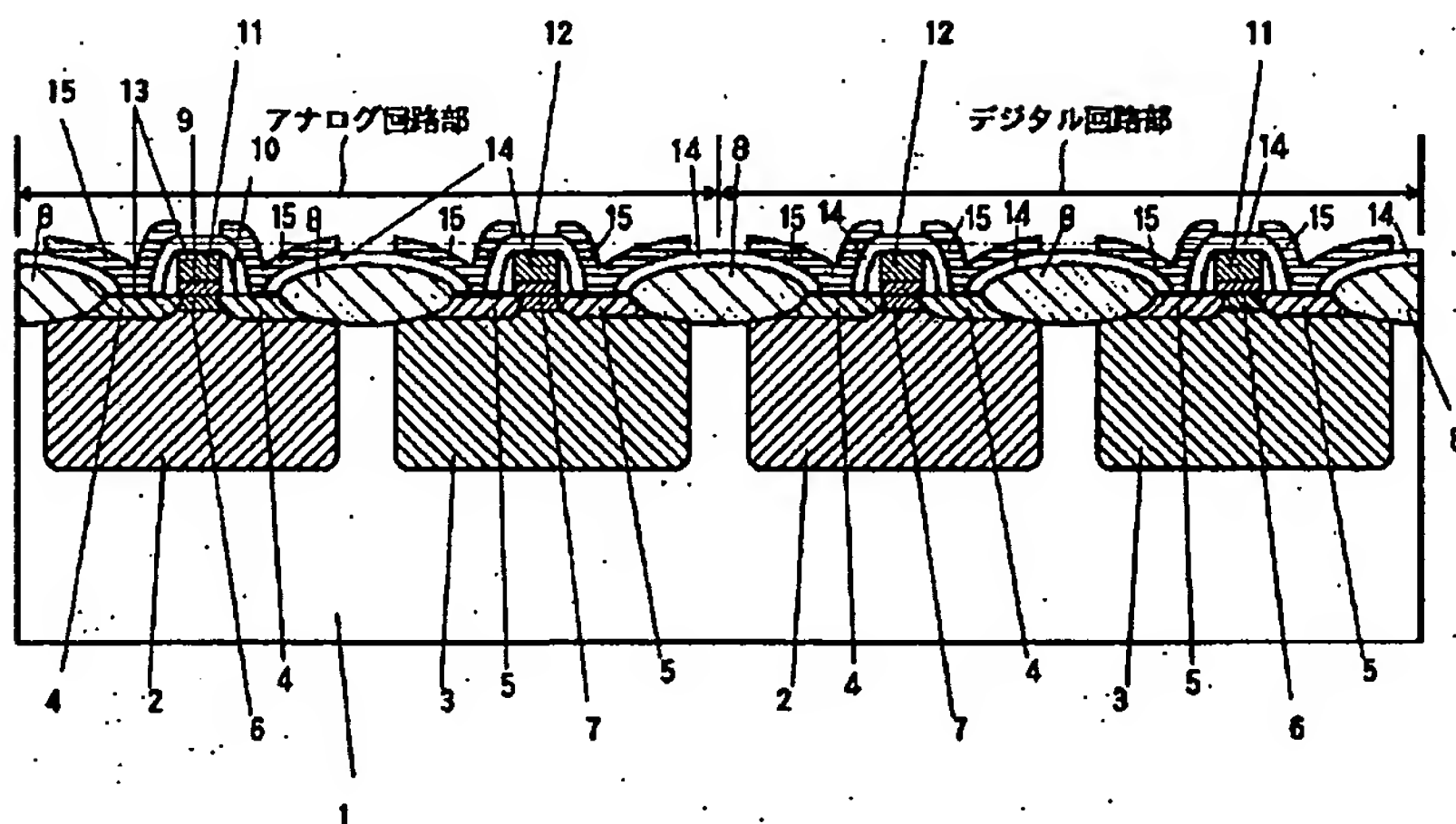
【図4】



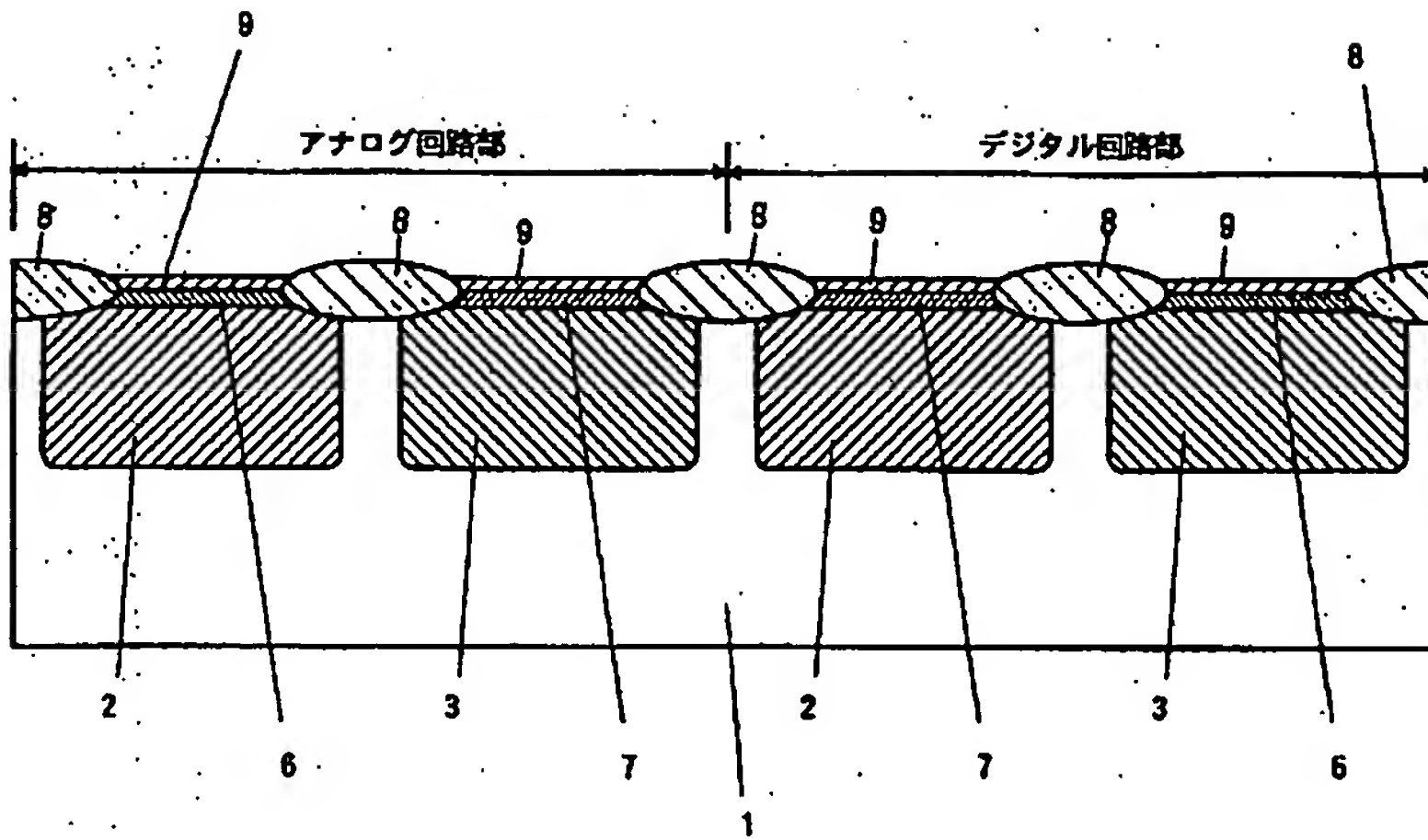
【図3】



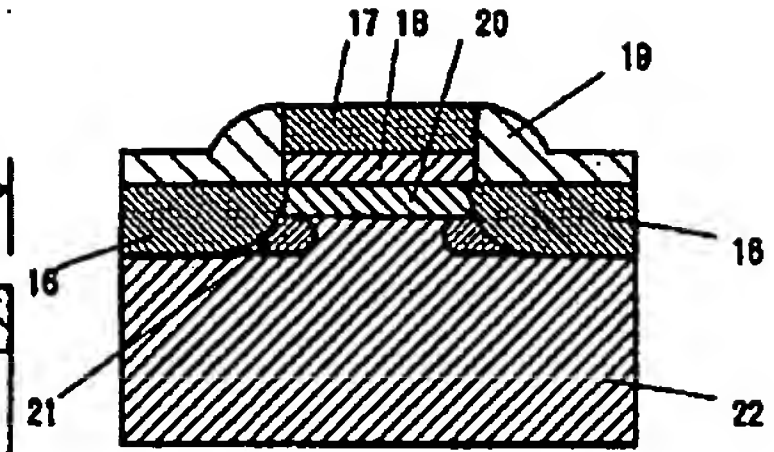
【図5】



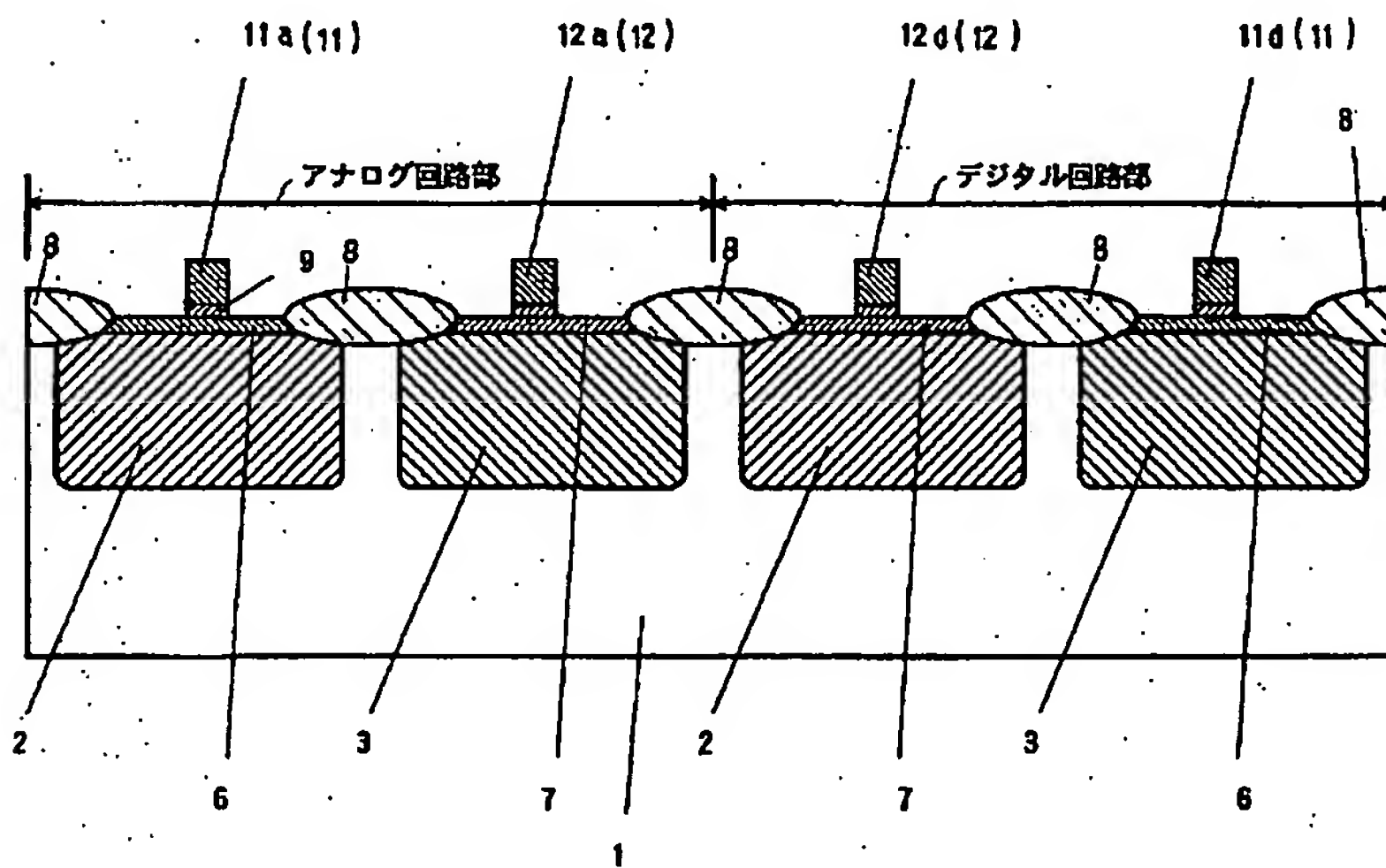
【図6】



【図9】



【図7】



【図8】

